



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08314800 A

(43) Date of publication of application: 29.11.96

(51) Int. Cl

G06F 12/06
G11C 5/00

(21) Application number: 07142486

(71) Applicant: MELCO:KK

(22) Date of filing: 17.05.95

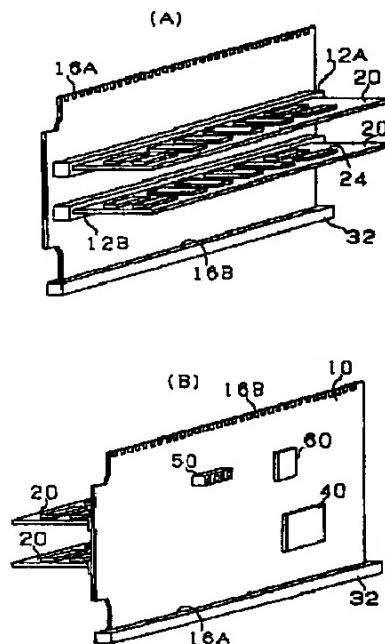
(72) Inventor: SONOBE TAKAIKU

(54) MODULE FOR MEMORY MODULE CONNECTION**(57) Abstract:**

PURPOSE: To provide a module for memory module connection which increases the memory capacity by connecting plural SIMM boards to one connector.

CONSTITUTION: The module 10 for memory module connection is set to a connector 32 for SIMM of a computer, and SIMMs 20 and 20 are set to extended connectors 12A and 12B of the module 10 for memory module connection, thereby increasing the memory capacity. When these SIMMs 20 and 20 interfere with members on the computer side, since the extended connectors 12A and 12B can be placed on the side opposite to said members on the computer side by vertically inverting the module 10 for memory module connection, SIMMs 20 and 20 are set without interference.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-314800

(43) 公開日 平成8年(1996)11月29日

| | | | |
|--|--------------------|---------------|---------------------------------------|
| (51) Int.Cl. ⁶ G 06 F 12/06 G 11 C 5/00 | 識別記号 515 303 | 府内整理番号 F 1 | 技術表示箇所 G 06 F 12/06 G 11 C 5/00 |
| | | | 303 A |

審査請求 未請求 請求項の数6 FD (全11頁)

(21) 出願番号 特願平7-142486
 (22) 出願日 平成7年(1995)5月17日

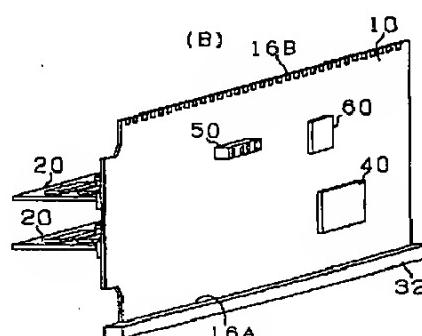
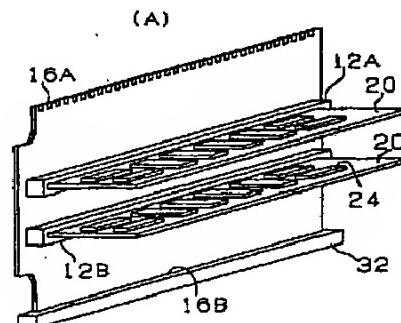
(71) 出願人 390040187
 株式会社メルコ
 愛知県名古屋市中区大須4丁目11番50号
 (72) 発明者 園部 貴都
 名古屋市南区柴田本通4丁目15番株式会社
 メルコハイテクセンター内
 (74) 代理人 弁理士 田下 明人 (外1名)

(54) 【発明の名称】 メモリモジュール接続用モジュール

(57) 【要約】

【目的】 1つのコネクタに複数のS I MMボードを接続することによりメモリ容量の増大を図るメモリモジュール接続用モジュールを提供する。

【構成】 コンピュータのS I MM用コネクタ32にメモリモジュール接続用モジュール10を装着し、該メモリモジュール接続用モジュール10の拡張コネクタ12A、12BにS I MM20、20を装着することによりメモリ容量を増大させる。このS I MM20、20が、コンピュータ側の部材と干渉する際に、当該メモリモジュール接続用モジュール10を上下反転されることにより、拡張コネクタ12A、12Bをコンピュータ側の上記部材の反対側に位置させ得るため、干渉を避けてS I MM20、20を装着することができる。



【特許請求の範囲】

【請求項 1】 コンピュータ側のS I MM用コネクタにS I MMを接続するためのメモリモジュール接続用モジュールであって、

コンピュータ側のS I MM用基板に対して垂直に固定される基板と、

前記基板の上下に設けられた、コンピュータ側S I MM用コネクタへ接続するための一対のS I MM用基板端子と、

前記基板の一方の側面に配設された、S I MMを従属接続するための拡張コネクタと、を備えることを特徴とするメモリモジュール接続用モジュール。

【請求項 2】 コンピュータ側のコネクタに接続するための専用基板端子と、

上記専用基板端子を備える一対のメモリモジュールを従属接続するための一対の拡張コネクタと、

コンピュータ側から与えられたアドレス信号の一部をデコードして前記拡張コネクタに接続されたメモリモジュールへのセレクト信号を発生するデコード手段と、を有することを特徴とするメモリモジュール接続用モジュール。

【請求項 3】 コンピュータ側のコネクタに接続するための専用基板端子と、

上記専用基板端子を備える一対のメモリモジュールを従属接続するための一対の拡張コネクタと、

前記拡張コネクタに接続されたメモリモジュールのメモリ容量を認識するための認識手段と、

前記認識手段により認識されたメモリモジュールのメモリ容量に対応させて、コンピュータ側から与えられたアドレス信号の一部をデコードして前記拡張コネクタに接続されたメモリへのセレクト信号を送出するデコード手段と、を有することを特徴とするメモリモジュール接続用モジュール。

【請求項 4】 前記認識手段が、ディップスイッチから成ることを特徴とする請求項3のメモリモジュール接続用モジュール。

【請求項 5】 前記認識手段が、前記メモリモジュールに設けられたメモリ容量識別用端子を検出することによりメモリモジュールのメモリ容量を認識することを特徴とする請求項3のメモリモジュール接続用モジュール。

【請求項 6】 コンピュータ側のコネクタに接続するための専用基板端子が上下一対設けられ、一対のメモリモジュールを従属接続するための一対の拡張コネクタが一方の側面に配置されていることを特徴とする請求項2乃至5のメモリモジュール接続用モジュール。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】 本発明は、コンピュータ、特にパソコン用コンピュータのメモリ容量を増大させるための

メモリモジュールを複数接続するためのメモリモジュール接続用モジュールに関し、特に、コンピュータ側の1つのコネクタに複数のメモリモジュールを接続できるようにするメモリモジュール接続用モジュールに関する。

【0 0 0 2】

【従来の技術】 メモリ容量を増大させ処理能力を強化するために、パソコン用コンピュータ等は、メモリモジュール(RAMボード)を追加できるように構成されている。このメモリモジュールには、所謂S I MM(SINGLE INLINE MEMORY MODULE)と内部増設RAMボードとが広く用いられており、一般的にコンピュータ側にはS I MM用の複数のコネクタと内部増設RAMボード用の単一のコネクタとが備えられている。ここで、S I MM用の複数のコネクタにS I MMを装填して行くことによりコンピュータのメモリ容量を順次増大させることができる。例えば、第1のS I MMコネクタに4MのS I MMを装填し、更に、第2のS I MMコネクタに4MのS I MMを装填することにより併せて8Mにメモリ容量の増大が図り得る。他方、内部増設RAMボード用のコネクタが一つなのは、該内部増設RAMボード側に拡張用のRAMを接続するための拡張コネクタが備えられており、その拡張コネクタにRAMを接続することにより実質的に内部増設RAMボードの容量を増大させることができるからである。例えば、4Mの内部増設RAMボードに4MのRAMを後から装着することにより8Mのメモリとして用いることができる。

【0 0 0 3】 ここで、上記内部増設RAMボードにRAMを装填して使用できるのは、コンピュータ側が、内部増設RAMボードの各拡張コネクタに装着されたRAMを認識して、所望のRAMをセレクト信号で選択して読み書きを行うためである。他方、コンピュータは、上記S I MMについては、複数装着されたS I MMの内の所望のものをコネクタ単位で選択して読み書きを行っている。

【0 0 0 4】

【発明が解決しようとする課題】 しかしながら、コンピュータ側に複数のS I MM用コネクタが用意されていない場合、例えば、S I MM用コネクタが1つのみの場合は、既に4MのS I MMがコンピュータに装着されていたならば、容量の増大を図ろうとした際に、S I MM用コネクタが1つしかないため、今まで装着されていた4MのS I MMを廃棄して、8M或いは16MのS I MMを購入して装着することが必要となった。

【0 0 0 5】 本発明は、上述した課題を解決するためになされたものであり、本発明の第1の目的は、1つのコネクタに複数のS I MMボードを接続することによりメモリ容量の増大を図るメモリモジュール接続用モジュールを提供することにある。また、本発明は、既存のメモリモジュールと同容量のメモリモジュールを用いることによって、メモリの容量を倍増できるメモリモジュール

接続用モジュールを提供することにある。

【0006】

【課題を解決するための手段】上記の目的を達成するため、本発明のメモリモジュール接続用モジュールは、第1の態様において、コンピュータ側のS I MM用コネクタにS I MMを接続するためのメモリモジュール接続用モジュールであって、コンピュータ側のS I MM用基板に対して垂直に固定される基板と、前記基板の上下に設けられた、コンピュータ側S I MM用コネクタへ接続するための一対のS I MM用基板端子と、前記基板の一方の側面に配設された、S I MMを従属接続するための拡張コネクタと、を備えることを要旨とする。

【0007】上記の目的を達成するため、本発明のメモリモジュール接続用モジュールは、第2の態様において、コンピュータ側のコネクタに接続するための専用基板端子と、上記専用基板端子を備える一対のメモリモジュールを従属接続するための一対の拡張コネクタと、コンピュータ側から与えられたアドレス信号の一部をデコードして前記拡張コネクタに接続されたメモリモジュールへのセレクト信号を発生するデコード手段と、を有することを要旨とする。

【0008】また、上記の目的を達成するため、本発明のメモリモジュール接続用モジュールは、第3の態様において、コンピュータ側のコネクタに接続するための専用基板端子と、上記専用基板端子を備える一対のメモリモジュールを従属接続するための一対の拡張コネクタと、前記拡張コネクタに接続されたメモリモジュールのメモリ容量を認識するための認識手段と、前記認識手段により認識されたメモリモジュールのメモリ容量に対応させて、コンピュータ側から与えられたアドレス信号の一部をデコードして前記拡張コネクタに接続されたメモリへのセレクト信号を送出するデコード手段と、を有することを要旨とする。

【0009】また、本発明のメモリモジュール接続用モジュールは、第4の態様では第3の態様において、前記認識手段が、ディップスイッチから成ることを要旨とする。

【0010】また、本発明のメモリモジュール接続用モジュールは、第5の態様では第3の態様において、前記認識手段が、前記メモリモジュールに設けられたメモリ容量識別用端子を検出することによりメモリモジュールのメモリ容量を認識することを要旨とする。

【0011】また、本発明のメモリモジュール接続用モジュールは、第6の態様では第2～5の態様において、コンピュータ側のコネクタに接続するための専用基板端子が上下一対設けられ、一対のメモリモジュールを従属接続するための一対の拡張コネクタが一方の側面に配置されていることを要旨とする。

【0012】

【作用効果】上記のように構成されたメモリモジュール

接続用モジュールでは、第1の態様において、コンピュータのS I MM用コネクタにメモリモジュール接続用モジュールを装着し、該メモリモジュール接続用モジュールの拡張コネクタにS I MMを装着すると、該S I MMがコンピュータ側の部材と干渉する際に、当該メモリモジュール接続用モジュールを上下反転されることにより、従属接続用の拡張コネクタをコンピュータ側の上記部材の反対側に位置させ得るため、干渉を避けてS I MMを装着することができる。

【0013】上記のように構成されたメモリモジュール接続用モジュールでは、第2の態様において、デコード手段が、コンピュータ側から与えられたアドレス信号の一部をデコードして拡張コネクタに接続されたメモリモジュールへのセレクト信号を発生し、特定のメモリモジュールの読み書きを可能にする。このため、一対のメモリモジュールが装着された状態において、コンピュータ側からのアドレスに相当するメモリモジュールを選択して読み書きすることができる。

【0014】上記のように構成されたメモリモジュール接続用モジュールでは、第3の態様において、拡張コネクタに接続されたメモリモジュールのメモリ容量を認識手段が認識し、この接続されたメモリモジュールのメモリ容量に対応させて、デコード手段が、コンピュータ側から与えられたアドレス信号の一部をデコードしてメモリモジュールへのセレクト信号を送出し、特定のメモリモジュールの読み書きを可能にする。このため、種々のメモリ容量のメモリモジュールに対しても、コンピュータ側からのアドレスをデコードして読み書きすることができる。

【0015】上記のように構成されたメモリモジュール接続用モジュールでは、第4の態様において、ディップスイッチから成る認識手段にメモリモジュールのメモリ容量を設定することにより、デコード手段が、種々のメモリ容量のメモリモジュールに対して、コンピュータ側からのアドレスをデコードして読み書きすることができる。

【0016】上記のように構成されたメモリモジュール接続用モジュールでは、第5の態様において、認識手段が、メモリモジュールに設けられたメモリ容量識別用端子に基づきメモリ容量を自動的に検出するため、メモリ容量を使用者が設定することなく種々の容量のメモリモジュールを用いることができる。

【0017】上記のように構成されたメモリモジュール接続用モジュールでは、第6の態様において、メモリモジュール接続用モジュールの拡張コネクタにメモリモジュールを装着すると、装着したメモリモジュールがコンピュータ側の部材と干渉する際に、該メモリモジュール接続用モジュールを上下反転されることにより、拡張用コネクタを反対側に位置させ得るので、干渉を避けてメモリモジュールを装着することができる。

【0018】

【実施例】以下、本発明のメモリモジュール接続用モジュールをS I MM用に適用した実施例を図を参照して説明する。先ず、本発明の第1実施例について図1及び図2を参照して説明する。図1(A)は、第1実施例に係るメモリモジュール接続用モジュール10の正面を、図2は該メモリモジュール接続用モジュール20の背面を示している。メモリモジュール接続用モジュール10は、基板18の上下にコンピュータ側のマザーボード30のコネクタ32に接続するための72ピンS I MM用の基板端子16A、16Bが形成されている。該基板18の表面18 α には、一対の72ピンのS I MM用を嵌入するための拡張コネクタ12A、12Bが設けられている。また、図2に示すように該基板18の裏面18 β には、ゲートアレー40と、ディップスイッチ50とセレクタ用IC60とが取り付けられている。

【0019】図1(B)は、本実施例のS I MM20を示している。このS I MM20は、8Mバイト分のDRAMを構成する複数のIC24が配置される共に、その下端に72ピンS I MM用の基板端子26が形成されて成る。図1(A)に示すようにマザーボード30は水平に配置され、メモリモジュール接続用モジュール10は、マザーボード30のコネクタ32に対して垂直に嵌入される。他方、S I MM20は、マザーボード30と水平方向に、メモリモジュール接続用モジュール10の拡張コネクタ12A、12Bへ嵌入される。なお、上述したようにメモリモジュール接続用モジュール10の基板端子16A、16BとS I MM20の基板端子26とは同じ72ピンS I MM用の仕様が用いられ、また、マザーボード30のコネクタ32とメモリモジュール接続用モジュール10の拡張コネクタ12Aとは同じく72ピンS I MM用の仕様が用いられている。

【0020】ここで、第1実施例のメモリモジュール接続用モジュール10の接続方法について説明する。コンピュータ側にコネクタ32に図1(B)に示す8MバイトのS I MM20を装着していた使用者が、メモリ容量の倍増を望む場合に、このS I MM20を外して、コンピュータ側のコネクタ32にメモリモジュール接続用モジュール10を装填する。そして、該メモリモジュール接続用モジュール10の拡張コネクタ12Aに該S I MM20を嵌入する。更に、該S I MM20と同容量(8Mバイト)のS I MM(図示せず)を拡張コネクタ12Bに嵌入し、図2に示すディップスイッチ50にS I MM容量が8Mバイトであることを設定することにより、付加されるメモリ容量を16Mバイトへと倍増する。

【0021】ここで、後述するようにメモリモジュール接続用モジュール10では、コンピュータ側からのアドレス信号をゲートアレー40がデコードし、このデコードした信号をセレクタIC60が選択して拡張コネクタ12Aに装填されたS I MM20と拡張コネクタ12B

に装填されたS I MMとに送出することにより、両方のS I MMへの読み書きが可能となる。

【0022】なお、この第1実施例では、上記メモリモジュール接続用モジュール10の拡張コネクタ12A、12Bに装填するメモリモジュールの容量として2M、4M、8M、16Mを指定し、また、両S I MMのメモリ容量が等しいことを仕様上で要求している。そして、この2M、4M、8M、16Mの容量をディップスイッチ50に設定し得るようになっている。

【0023】ここで、第1実施例のメモリモジュール接続用モジュール10をコンピュータ側のコネクタ32へ嵌入する方向について説明する。図3(A)及び図3(B)に示すように第1実施例のメモリモジュール接続用モジュール10は、基板端子16A側をコンピュータ側のコネクタ32へ嵌入することも、また、上下反転させて、該コネクタ32へ基板端子16Bを嵌入することも可能である。ここで、該メモリモジュール接続用モジュール10の拡張コネクタ12A、12BにS I MM20、20を水平に装填する際に、該S I MM20、20がコンピュータ側の筐体(図示せず)等の部材と干渉する場合が生じる。例えば、図3(A)に示すようにメモリモジュール接続用モジュール10の左側に筐体(図示せず)が位置している場合には、該コネクタ32へ基板端子16B側を嵌入することにより、拡張コネクタ12A、12Bを右側に来るようにして、S I MM20、20がコンピュータの筐体と干渉するのを避ける。反対に、図3(B)に示すようにメモリモジュール接続用モジュール10の右側に筐体(図示せず)が位置している場合には、該コネクタ32へ基板端子16A側を嵌入することにより、拡張コネクタ12A、12Bを左側に来るようにして、S I MM20、20とコンピュータの筐体との干渉を避ける。

【0024】次に、コンピュータ側のメモリ管理方法について図6を参照して説明する。このコンピュータは、最大32Mバイトまでメモリ管理を行うことができ、32Mバイトを第1バンクBANK1と第2バンクBANK2として16Mバイトづつに2分割して管理を行う。ここで、4Mバイトのメモリ容量は、図6(A)に示すように1Mバイトの4つのブロックから成る第1バンクBANK1から構成され、メモリアドレスMA0～9によりストレス指定されるとともに、RAS0及びRAS2で行アドレスが指定される。また、8Mバイトのメモリ容量は、図6(B)に示すように4Mバイトの2バンク(BANK1、BANK2)から構成され、メモリアドレスMA0～9により指定されるとともに、RAS0及びRAS2で第1バンクBANK1の行アドレスが、また、RAS1及びRAS3で第2バンクBANK2の行アドレスが指定される。更に、16Mバイトは、図6(C)に示すように4Mバイトの4つのブロックから成る第1バンクBANK1から構成され、メモリアドレスM

A0～10により指定されるとともに、RAS0及びRAS2で行アドレスが指定される。また、32Mバイトのメモリ容量は、図6(D)に示すように16Mバイトの2バンク(BAKN1、BAKN2)から構成され、メモリアドレスMA0～10により指定されるとともに、RAS0及びRAS2で第1バンクBANK1の行アドレスが、また、RAS1及びRAS3で第2バンクBANK2の行アドレスが指定される。

【0025】また、このコンピュータは、メモリ容量を4Mバイト、8Mバイト、16Mバイトという単位で把握し読み書きに用いる。第1実施例では、上述したように同容量であって、且つ、2M、4M、8M、16MのS1MMを装着することを指定している。このようにして拡張用のS1MMの容量を指定しているのは、例えば、4MバイトのS1MMと8MバイトのS1MMとが接続され併せて12Mバイトとなると、このコンピュータは、16Mバイトとして容量を把握してメモリを使用するため、適正な動作を保証し得なくなるからである。

【0026】以上説明した第1実施例では、マザーボード30側に装着されたメモリモジュール接続用モジュール10に同容量のS1MMを2枚装着することによりコンピュータの容量を簡単に増大できる利点がある。このため、1つのS1MM用コネクタしかコンピュータ側に備えられていない場合に、従来は、容量の拡大のために使用されていたS1MMを容量の大きなものに置き換えるなければならなかつた。これに対して、第1実施例では、メモリモジュール接続用モジュール10側の拡張コネクタ12A、12Bに既存のS1MMに加えて、新たに入手した同容量のS1MMを装填することにより容量を倍増することができる。

【0027】ここで、第1実施例のメモリモジュール接続用モジュール10の回路構成について図4を参照して説明する。なお、この図4においては、図示の便宜上アドレス信号のラインのみを示し、データのリード、ライト及びその他の信号用ラインは省略されている点に注意されたい。このメモリモジュール接続用モジュール10は、図3(A)に示したようにマザーボード30のコネクタ32と接続されコンピュータ側との信号のやり取りを行う基板端子16と、後述するようにアドレス信号をデコードするためのゲートアレー(以下デコーダ40として参照する)40と、S1MM20、20が嵌入される拡張コネクタ12A、12Bと、該拡張コネクタ12A、12Bに接続されたS1MM20、20のメモリ容量を設定するディップスイッチ50と、該ディップスイッチ50からの信号に基づきデコーダ40からのデコード信号を選択するセレクタ用IC(以下セレクタ60として参照する)60とから主に構成される。このデコーダ40は、ゲートアレーに保持された制御情報であるが、ここでは便宜上独立した回路として図示及び説明を行う。

【0028】基板端子16からは、メモリアドレスMA0～MA9のバスラインが拡張コネクタ12A、12Bにパラレルに接続され、また、メモリアドレスMA9、MA10のラインと、RAS1、RAS3のラインと、RAS0、RAS2のラインと、CAS0～CAS3のバスラインとがデコーダ40に接続されている。一方、デコーダ40からは、RASAのラインとRASBのラインとがセレクタ60へ接続されている。更に、デコーダ40からは、CAS0A～CAS3Aのバスラインが拡張コネクタ12A側へ接続され、CAS0B～CAS3Bのバスラインが拡張コネクタ12B側へ接続されている。セレクタ60からは、メモリアドレスMA10/9のラインがデコーダ40へ接続されている。また、セレクタ60からは、RAS0のラインとRAS1のラインとが拡張コネクタ12A側へ接続され、同時に、RAS0'のラインとRAS1'のラインとが拡張コネクタ12B側へ接続されている。更に、ディップスイッチ50から設定信号がS1～S4のラインを介してセレクタ60へ入力されている。

【0029】次に、第1実施例のメモリモジュール接続用モジュール10のディップスイッチ50の構成について図4を参照して説明する。ディップスイッチ50には、4つのスイッチSW1、SW2、SW3、SW4が設けられ、2MのS1MMが拡張コネクタ12A、12Bに接続される時には、スイッチSW1がオンにされ、4MのS1MMが接続されるときにはスイッチSW2がオンに、8MのS1MMが接続されるときにはスイッチSW3がオンに、16MのS1MMが接続されるときにはスイッチSW4がオンにされる。そして、この設定されたスイッチSW1～SW4に応じて、設定信号をS1～S4のラインを介してセレクタ60へ出力する。

【0030】次に、メモリモジュール接続用モジュール10のデコーダ40の動作について説明する。まず、デコーダ40の動作原理について説明する。例えば、一対の8MのS1MM20(併せて16Mバイト分)が、該メモリモジュール接続用モジュール10に装填された状態では、コンピュータは、図6(C)に示すようにRAS0、RAS2側でメモリの管理を行う。即ち、どのS1MMにメモリが存在していかを意識することなく、16Mバイト分をメモリアドレスMA0からMA10によってアドレス指定する。このとき、デコーダ40は、メモリアドレスMAの最上位のビットであるMA10に基づき、いずれか一方のS1MMを選択して読み書きを可能にする。即ち、コンピュータ側からのアドレスの最上位MA10のColumnが“0”的ときは、0～4M、8～12Mバイトまでのメモリのアドレスを指定しているため拡張コネクタ12Aに接続されているS1MM20側を選択し、他方、アドレスの最上位MA10のColumnが“1”的ときは、4～8M、12M～16Mバイトのメモリのアドレスを指定しているため拡

張コネクタ 1 2 B に接続されている S I MM 2 0 側を選択する。このとき図 4 を参照して前述したようにメモリーアドレス MA 0 ~ MA 9 は、拡張コネクタ 1 2 A、1 2 B へパラレルで加えられているため、デコーダ 4 0 により選択された方の拡張コネクタ 1 2 A 側、或いは、拡張コネクタ 1 2 B 側の S I MM 2 0 が読み書きされることになる。

【0031】なお、4 M の S I MM が 2 枚装填されている場合には、図 6 (B) に示すようにコンピュータは、4 M を RAS 0、RAS 2 により、残りの 4 M を RAS 1、RAS 3 によって管理する。このため、第 1 実施例のメモリモジュール接続用モジュール 1 0 では、後述するようにデコーダ 4 0 によってテコードされたアドレス信号を用いることなく、セレクタ 6 0 が RAS 0、RAS 2 信号を拡張コネクタ 1 2 A 側の S I MM へ与え、また、RAS 1、RAS 3 信号を拡張コネクタ 1 2 B 側の S I MM へ RAS 0、RAS 2 信号として加える。

【0032】このデコーダ 4 0 の具体的動作について図 5 の論理回路に沿ってさらに詳しく説明する。このデコーダ 4 0 は、図の上半分が DRAM への RAS 信号を変換するための回路である。これは、セレクタ 6 0 から選択されて送られるメモリーアドレス MA 9 (2 M の S I MM が装填された場合)、または、メモリーアドレス MA 1 0 (2 M 以上の S I MM が装填された場合) をアドレス用に保持するためのラッチ 4 2 a、該メモリーアドレス MA 9 又は MA 1 0 に基づき RAS 0 を RASA 又は RAS B に振り分けるためのゲート 4 4 a、4 4 b、4 6 a、4 6 b と、CAS 0 信号により RASA、RAS B からリフレッシュ信号を送出させるためのラッチ 4 2 b とから成る。

【0033】他方、デコーダ 4 0 は図の下半分が DRAM への CAS 信号を変換するための回路である。これは、セレクタ 6 0 から選択されて送られるメモリーアドレス MA 9、または、メモリーアドレス MA 1 0 をアドレス用に保持するためのラッチ 4 2 c、該メモリーアドレス MA 9 又は MA 1 0 に基づき CAS 0 ~ 3 を CAS 0 A ~ CAS 又は CAS 0 B ~ CAS 3 B に振り分けるためのゲート 4 4 c、4 4 d、4 6 c、4 6 d と、CAS 0 信号により CAS 0 A ~ CAS 及び CAS 0 B ~ CAS 3 B からリフレッシュ信号を送出させるためのラッチ 4 2 d とから成る。

【0034】先ず、メモリモジュール接続用モジュール 1 0 の拡張コネクタ 1 2 A、1 2 B にそれぞれ 8 M バイトの S I MM 2 0、2 0 が装着された場合の動作について説明する。図 6 (C) に示すメモリマップのように、後述するデコーダ 4 0 の動作により、コンピュータ側は、メモリモジュール接続用モジュール 1 0 に接続された 2 枚の 8 M の S I MM 2 0、2 0 を併せた 16 M バイトを、第 1 バンク BAKN 1 の RAS 0、RAS 2 側に存在しているものとして認識し、この RAS 0、RAS

2 側に対して読み書きの動作を行う。図 4 に示すセレクタ 6 0 は、ディップスイッチ 5 0 からの設定信号 S 3 に基づき、8 M の S I MM が装填されている状態におけるセレクト動作を行い、最上位のメモリーアドレス MA 1 0 を図 4 及び図 5 に示す MA 1 0 / 9 のラインを介してデコーダ 4 0 側に送出する。デコーダ 4 0 は、最上位のメモリーアドレス MA 1 0 をデコードすることにより、拡張コネクタ 1 2 A に接続された S I MM と、拡張コネクタ 1 2 B に接続された S I MM とを選択して読み書きさせる。

【0035】まず、コンピュータが、0 ~ 4 M バイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ 4 0 の動作について説明する。ここで、0 ~ 4 M バイトのメモリが指定されるときメモリーアドレス MA 1 0 の ROW はロウの状態にあり、ラッチ 4 2 a の Q 端子に接続されているゲート 4 4 a が付勢状態となり、ゲート 4 6 a 側が出力可能になる。このため、コンピュータからの RAS 0 (RAS 2) 信号は、該ゲート 4 6 a を介して RASA 信号としてセレクタ 6 0 側に出力される。他方、メモリーアドレス MA 1 0 の Co 1 u m n はロウの状態にあるため、ラッチ 4 2 c の Q 端子に接続されたゲート 4 4 c が付勢状態となり、ゲート 4 6 c 側が出力可能になっている。従って、コンピュータ側からの CAS 0 ~ 3 信号は、該ゲート 4 6 c を介して CAS 0 A ~ 3 A として拡張コネクタ 1 2 A 側に出力される (図 4 参照)。

【0036】図 4 に示すセレクタ 6 0 は、ディップスイッチ 5 0 からの設定信号 S 3 に基づき、8 M の S I MM が一対装填されている状態におけるセレクト動作を行う。即ち、上述した RASA 信号を、RAS 0 (RAS 2) 信号として拡張コネクタ 1 2 A に接続されている S I MM 2 0 に加える (なお、この信号は同時に拡張コネクタ 1 2 B にも RAS 0' (RAS 2') 信号として加えられる)。また、CAS 0 A ~ 3 A 信号は、上述したようにデコーダ 4 0 から直接拡張コネクタ 1 2 A に加えられる。これら RAS 0 (RAS 2) 及び CAS 0 ~ 3 信号によりアドレスが指定され、拡張コネクタ 1 2 A に装着された S I MM 2 0 のメモリに対して読み書きがなされる。

【0037】次に、コンピュータが、4 ~ 8 M バイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ 4 0 の動作について説明する。ここで、4 ~ 8 M バイトのメモリが指定されるときも 0 ~ 4 M バイトのときと同様に、メモリーアドレス MA 1 0 の ROW はロウの状態にあり、ゲート 4 6 a 側が出力可能になる。このため、コンピュータからの RAS 0 (RAS 2) 信号は、該ゲート 4 6 a を介して RASA 信号としてセレクタ 6 0 側に出力される。他方、メモリーアドレス MA 1 0 の Co 1 u m n はハイの状態になるため、ラッチ 4 2 c の Q 端子と接続されたゲート 4 4 d が付勢状

態となり、ゲート46d側が出力可能になっている。従って、コンピュータ側からのCAS0～3信号は、ゲート46dを介してCAS0B～3Bとして拡張コネクタ12B側へ出力される。

【0038】セレクタ60は、上述したRASB信号を、RAS0' (RAS2') 信号として拡張コネクタ12Bに接続されているSIMM20に加える（なお、この信号は同時に拡張コネクタ12AにもRAS0 (RAS2) 信号として加えられる）。また、CAS0B～3B信号は、上述したようにデコーダ40から直接拡張コネクタ12Bに加えられる。これらRAS0 (RAS2) 及びCAS0～3信号によりアドレスが指定され、拡張コネクタ12Bに装着されたSIMM20のメモリに対して読み書きがなされる。

【0039】次に、コンピュータが、8～12Mバイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ40の動作について説明する。ここで、8～12Mバイトのメモリが指定されるときはメモリー・アドレスMA10のROWはハイの状態となり、ラッチ42aのQ端子と接続されたゲート44bが付勢状態となり、ゲート46b側が出力可能になっている。このため、コンピュータからのRAS0 (RAS2) 信号は、ゲート46bを介してRASBとしてセレクタ60側へ出力される。他方、メモリー・アドレスMA10のColumnはロウの状態にあるため、ゲート46c側が出力可能になっている。従って、コンピュータ側からのCAS0～3信号は、該ゲート46cを介してCAS0A～3Aとして拡張コネクタ12A側に出力される。

【0040】セレクタ60は、上述したRASB信号を、RAS1 (RAS3) 信号として拡張コネクタ12Aに接続されているSIMM20に加える（同時に拡張コネクタ12Bに加える）。また、CAS0A～3A信号は、上述したようにデコーダ40から直接拡張コネクタ12Aに加えられる。これらRAS1 (RAS3) 及びCAS0～3信号によりアドレスが指定され、拡張コネクタ12Aに装着されたSIMM20のメモリに対して読み書きがなされる。

【0041】最後に、コンピュータが、12～16Mバイトのメモリに対して読み書きを行うアドレス信号を送出した際のデコーダ40の動作について説明する。ここで、12～16Mバイトのメモリが指定されるときはメモリー・アドレスMA10のROWはハイの状態にあり、ゲート46b側が出力可能になっている。このため、コンピュータからのRAS0 (RAS2) 信号は、ゲート46bを介してRASBとしてセレクタ60側へ出力される。他方、メモリー・アドレスMA10のColumnはハイの状態にあるため、ゲート46d側が出力可能になっている。従って、コンピュータ側からのCAS0～3信号は、ゲート46dを介してCAS0B～3Bとして拡張コネクタ12B側へ出力される。

【0042】セレクタ60は、上述したRASB信号を、RAS0' (RAS2') 信号として拡張コネクタ12Bに接続されているSIMM20に加える（同時に拡張コネクタ12Aに加える）。また、CAS0B～3B信号は、上述したようにデコーダ40から直接拡張コネクタ12Bに加えられる。これによりアドレスが指定され、拡張コネクタ12Bに装着されたSIMM20のメモリに対して読み書きがなされる。

【0043】なお、図5に示すラッチ42bは、RAS0 (RAS2) の立ち下がりのとき、CAS0がロウレベルであるならば、DRAMのリフレッシュであるため、ゲート44a、44bと共に付勢し、RAS0 (RAS2) 信号をRASA、RASBとして出力させる。同様に、ラッチ42dは、CAS0の立ち下がりのとき、RAS0 (RAS2) がハイレベルであるならば、DRAMのリフレッシュであるため、ゲート44c、44dと共に付勢し、CAS0A～CAS3A、CAS0B～CAS3B信号を出力させる。

【0044】次に、メモリモジュール接続用モジュール10の拡張コネクタ12A、12Bに4MバイトのSIMMが装着された場合の動作について説明する。図6(B)に示すメモリマップのように、コンピュータ側は、メモリモジュール接続用モジュール10に接続された2枚の4Mバイトのメモリ容量を第1バンクBANK1と第2バンクBANK2とにそれぞれ4Mバイトづつ存在しているものとして認識し、第1バンクRAKN1をRAS0、RAS2にて、また、第2バンクRAKN2をRAS1、RAS3にて読み書きの動作を行う。

【0045】4MバイトのSIMMを2組合わせてもメモリ容量は8Mバイト以下であるため、メモリー・アドレスMA10が常にロウの状態にあり、デコーダ40では、ゲート46a側が出力可能な状態になっている。このためコンピュータからのRAS0 (RAS2) 信号は、ゲート46aを介してRASAとしてセレクタ60側に出力される。図4に示すセレクタ60は、該デコーダ40から加えられたRASAとして入力された信号をRAS0 (RAS2) 信号として、拡張コネクタ12Aに接続されたSIMMに加える。このRAS0 (RAS2) によりアドレスが指定され、拡張コネクタ12A側のSIMMに対して読み書きがなされる。

【0046】一方、セレクタ60は、コンピュータ側から加えられたRAS1 (RAS3) 信号をRAS0' (RAS2') 信号として、拡張コネクタ12Bに接続されたSIMMに加える。このRAS0' (RAS2') 信号によりアドレスが指定され、拡張コネクタ12B側のSIMMに対して読み書きがなされる。即ち、4MのSIMMを2枚組み合わせて8Mとした際には、デコーダ40によるデコード信号を実質的に用いることなく、セレクタ60がRAS1 (RAS2) 信号を拡張コネクタ12A側へ加え、また、RAS1 (RAS2)

3) 信号を拡張コネクタ 12B 側へ RAS0、RAS2 として加えることによりメモリの読み書きを行う。

【0047】ここでは、2MのS I MMを2枚組み合わせて4Mとした際には、ディップスイッチ50からの信号により、セレクタ60からラインMA10/9を介してメモリーアドレスMA9がデコーダ40へ送られる。該デコーダ40は、上述した8MのS I MMが2枚拡張コネクタ12A、12Bに装着されたときと同様な動作を行う。また、16MのS I MMを2枚組み合わせて32Mとした際も同様にしてデコーダ40とセレクタ60 とが動作する。このため4M、32Mの時の動作については説明を省略する。

【0048】この第1実施例によれば、拡張コネクタ12A、12Bに接続されたS I MM20、20に対してRAS及びCAS信号を切り換えて送出、即ち、セレクト信号を送出することにより該S I MM20、20に対して読み書きを行う。このため、コンピュータ側の单一のコネクタ32に装着されたメモリモジュール接続用モジュール10に対して、2枚のS I MM20、20を装填することによりメモリ容量の増大を図ることが可能になる。

【0049】ここで本発明の第2実施例に係るメモリモジュール接続用モジュール110について図7を参照して説明する。なお、図4を参照して上述した第1実施例のメモリモジュール接続用モジュール10と略同一の部材については同一の参照符号を用いると共に説明を省略する。

【0050】図4を参照して上述した第1の説明においては、ディップスイッチ50にS I MMのメモリ容量を設定したが、この第2実施例においては、ディップスイッチの代わりに、メモリ容量検出回路150が置かれている。このメモリ容量検出回路150は、拡張コネクタ12Bに接続されたS I MMの容量識別用の端子の状態に基づき、容量を検出してセレクタ60へ設定信号S1～S4を送出するようになっている。この第2実施例のメモリモジュール接続用モジュール110の動作については、上述した第1実施例と同様であるので説明を省略する。この第2実施例のメモリモジュール接続用モジュール110においては、メモリ容量検出回路150がメモリ容量を自動的に検出するため、使用者が従属接続するS I MMの容量をディップスイッチに設定する必要が

ない利点がある。

【0051】以上説明した第1、第2実施例では、S I MMの容量を4Mバイト、8Mバイト、16Mバイトで区切って使用したが、これは、コンピュータの仕様に適合させるためであり、コンピュータの仕様により種々の値が選択し得ることは言うまでもない。また、本実施例では、メモリモジュールの例としてS I MMを挙げて説明したが、他の種類のメモリモジュールにも本発明は好適に適用することができる。また、上述した実施例では、2枚のS I MMを装着するメモリモジュール接続用モジュールを例に挙げたが、メモリモジュール接続用モジュールを3枚以上のS I MMが装填できるよう構成することも可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るメモリモジュール接続用モジュールの正面図である。

【図2】図1(A)に示すメモリモジュール接続用モジュールの背面図である。

【図3】図1に示すメモリモジュール接続用モジュールのコンピュータ側への接続状態を示す斜視図である。

【図4】第1実施例に係るメモリモジュール接続用モジュールの回路構成を示すブロック図である。

【図5】図4に示すデコーダの回路構成を示す回路図である。

【図6】本発明の第1実施例に係るメモリモジュールが装着されるコンピュータのメモリの管理方式を示すメモリマップである。

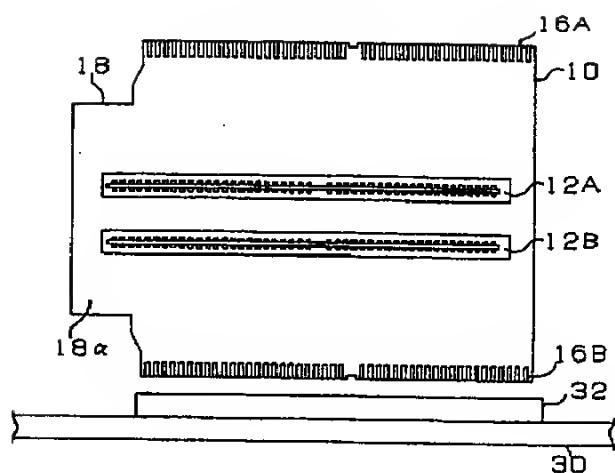
【図7】第2実施例に係るメモリモジュール接続用モジュールの回路構成を示すブロック図である。

【符号の説明】

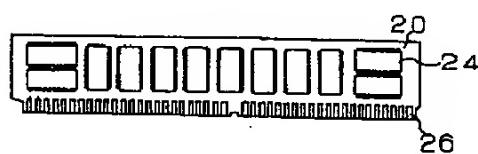
- 10 メモリモジュール接続用モジュール
- 12A、12B 拡張コネクタ
- 16A、16B 基板端子
- 20 S I MM
- 26 基板端子
- 30 マザーボード
- 32 コネクタ
- 40 ゲートアレー
- 50 ディップスイッチ
- 60 セレクタ

【図1】

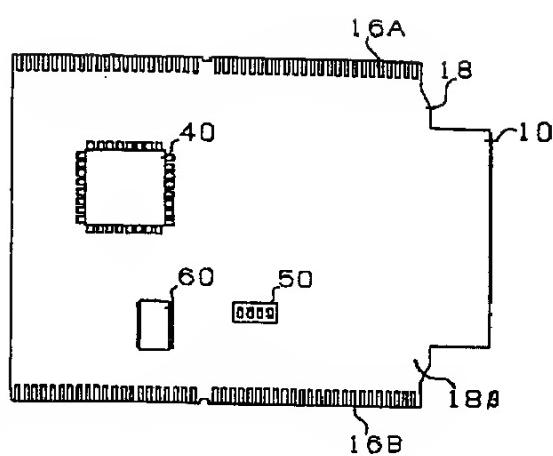
(A)



(B)

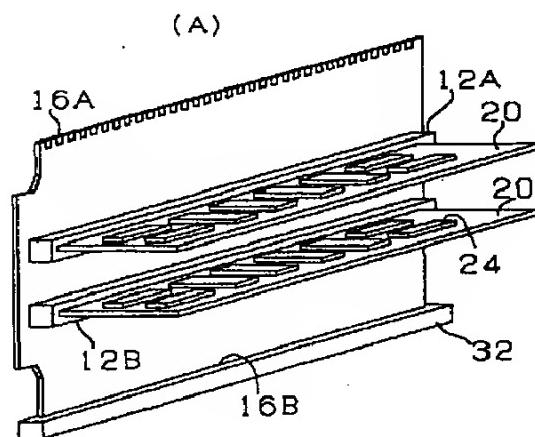


【図2】

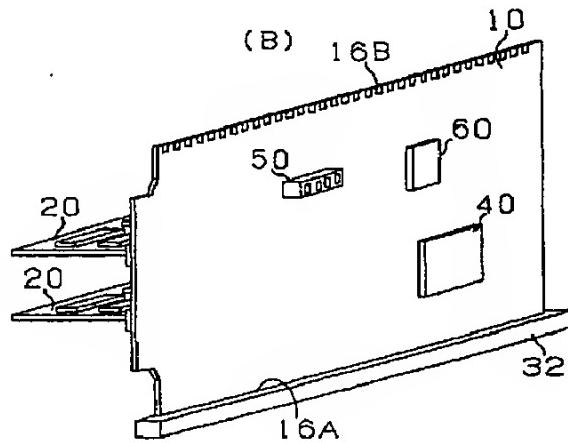


【図3】

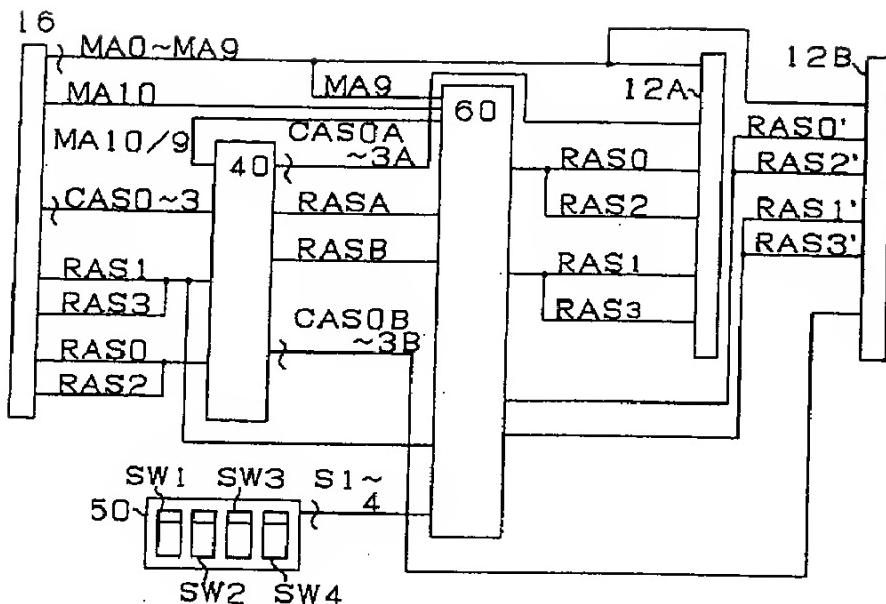
(A)



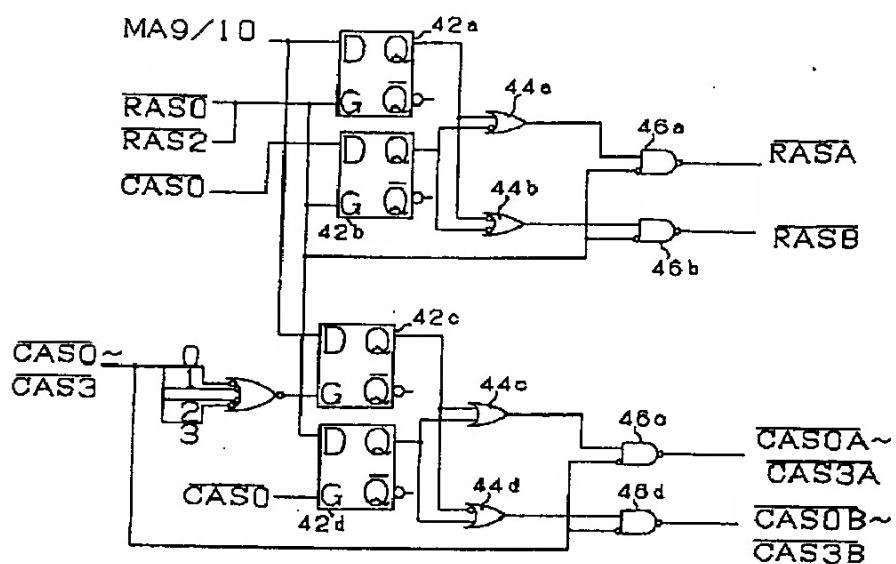
(B)



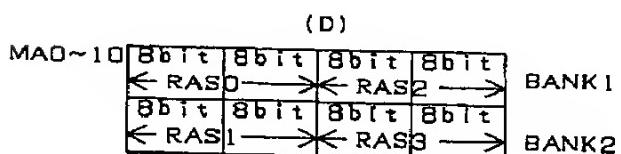
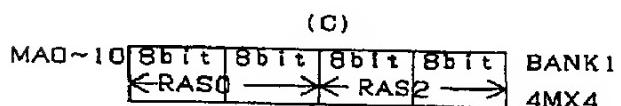
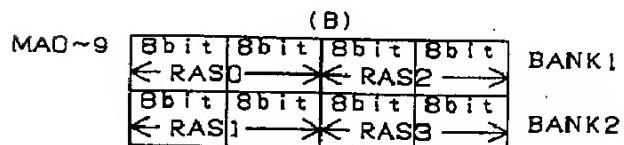
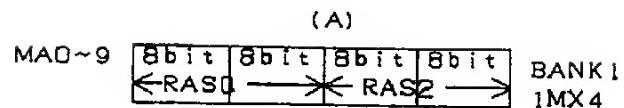
【図4】



【図5】



【図6】



【図7】

